

**UNIVERZITET U BEOGRADU
ELEKTROTEHNIČKI FAKULTET**

Katedra za elektroniku

Predmet: Projektovanje integrisanih kola



Projekat
Faza 2: CMOS logička kola i multiplekser

Izveštaj slati na e-mail: petrovicv@etf.rs, p.z.nikola@etf.rs
Staviti u cc i predmetnog profesora: jelena@etf.rs

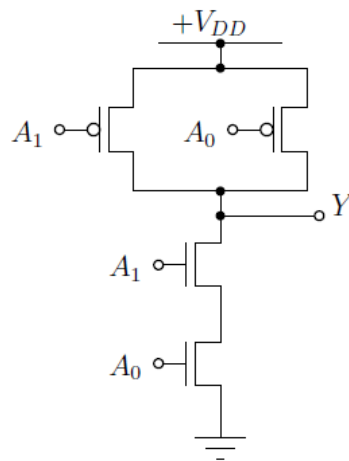
2. Faza projekta

2.1. Uvod

U ovoj fazi je potrebno projektovati projektovati statičko dvoulazno CMOS NI i I logičko kolo, kao i multiplexer 2 u 1.

2.2. Zadatak 1 – Projektovanje logičkih kola

Na slici 2.2.1. prikazana je šema logičkog NAND kola u CMOS tehnici. Logičko kolo AND se dobija dodavanjem invertora na NAND kolo.



Slika 2.2.1.- NAND kolo.

Voditi računa o dimenzijama tranzistora tako da se dobiju smisljena kašnjenja. To znači da kašnjenja logičke nule i logičke jedinice za promenu jednog signala ne bi trebalo da se razlikuju previše. Naravno, nemoguće je izjednačiti ih za sve prelaze. Nije potrebno raditi detaljnu optimizaciju kao u prvoj fazi, ali rezultat iz prve faze se može iskoristiti za predefinisane dimenzije tranzistora u kolima iz druge faze. Nije potrebno zadržavati velike dimenzije tranzistora kao u prvoj fazi.

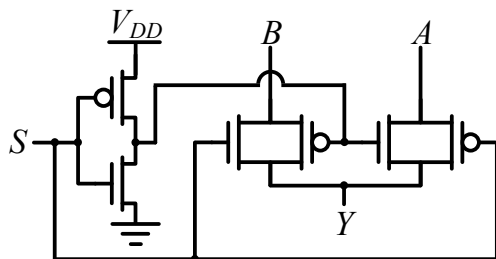
Dimenzije tranzistora odrediti u funkcionalnoj simulaciji. Imajući u vidu veličinu PMOS tranzistora koja obezbeđuje ispunjenje zahteva iz teksta zadatka, razmotriti tehniku savijanja tranzistora prilikom crtanja lejauta.

Svi kontakti treba da budu izvedeni u metalu 2, ali metal 2 treba koristiti za povezivanje samo ukoliko je to neophodno.

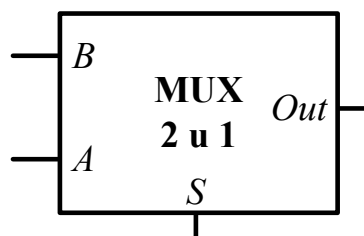
Za potrebe simulacija predvideti kapacitivno opterećenje svih izlaza (**5 fF**), podešavanjem simulacionog fajla.

2.3. Zadatak 2 – Projektovanje multipleksera 2 u 1

Projektovati multiplekser 2 u 1 čija je električna šema prikazana na slici 2.3.1, a blok šema na slici 2.3.2. Na slici signal S je selekcionirani signal, a signali A i B se u zavisnosti od signala S propuštaju na izlaz Y. Za potrebe simulacije predvideti kapacitivno opterećenje izlaza (**5 fF**), podešavanjem simulacionog fajla.



Slika 2.3.1 – Električna šema multipleksera 2 u 1



Slika 2.3.2.- Multiplekser 2 u 1

Koristeći ovaj multiplekser kao osnovnu ćeliju, moguće je lako projektovati višebitne multipleksere 2 u 1, ali čak i multipleksere sa više kontrolnih signala (npr. 64 u 8).

2.3. Opšte napomene

U softverskom okruženju Cadence Virtuoso® je potrebno izvršiti funkcionalnu simulaciju (schematic) koja proverava da li logička kola obavljaju željenu operaciju kao i kašnjenje pri različitim prelazima ulaznih signala. Potrebno je priložiti dijagrame funkcionalne simulacije kao i uvećane relevantne prelaze.

Sva kola projektovati u već napravljenoj biblioteci **pik25_gX** gde je X broj vaše grupe. Dozvoljeno je i poželjno inverter iz prve faze prilagoditi kolima iz ove faze.

Nakon funkcionalne simulacije potrebno je nacrtati lejaout, ekstrahovati parametre lejaouta i izvršiti post layout simulaciju ekstrahovanog modela. Sva kola treba da imaju adekvatne simbole.

Napon napajanja je **1,8 V**. Trajanje uzlazne i silazne ivice ulaznih signala podesiti na **5 ps**.

Popuniti šablon za izveštaj dobijenim rezultatima i detaljno odgovoriti na pitanja koja slede.

Napisati zaključak u kome je potrebno sumirati rezultate i dati komentar na rezultate simulacija i postupak optimizacije.

Prilikom izrade projekta pratiti opšte dodatne smernice koje se nalaze na sajtu predmeta na stranici *Projekti*.

NAPOMENA: Fajlove za rešenje druge faze (folder u kom se nalazi vaša biblioteka, sa svim podfolderima (*schematic, symbol, layout, extracted*), stimulus fajlove, kao i .doc fajl sa izveštajem) zapakovati u datoteku **Grupa_N_druga_faza.zip/rar/.7z** i poslati na sve adrese navedene na prvoj strani ovog fajla. Ukoliko mejl server odbija da primi poruku, okačiti arhivu na OneDrive dostupan pri studentskom mejl nalogu i poslati deljeni link ka fajlu.

U *subject*-u obavezno navesti: **PIK druga faza Grupa N**

Vrlo je bitno da *subject* bude kao što je navedeno inače će *mail* biti isfiltriran!